

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**





(19)

(11) Publication number:

**11354720 A**

Generated Document..

**PATENT ABSTRACTS OF JAPAN**(21) Application number: **11138247**(51) Intl. Cl.: **H01L 27/04 H01L 21/822**(22) Application date: **19.05.99**(30) Priority: **20.05.98 GB 98 9810797**(43) Date of application  
publication: **24.12.99**(84) Designated contracting  
states:(71) Applicant: **MITEL CORP**(72) Inventor: **OUELLET LUC  
BLAIN STEPHANE**

(74) Representative:

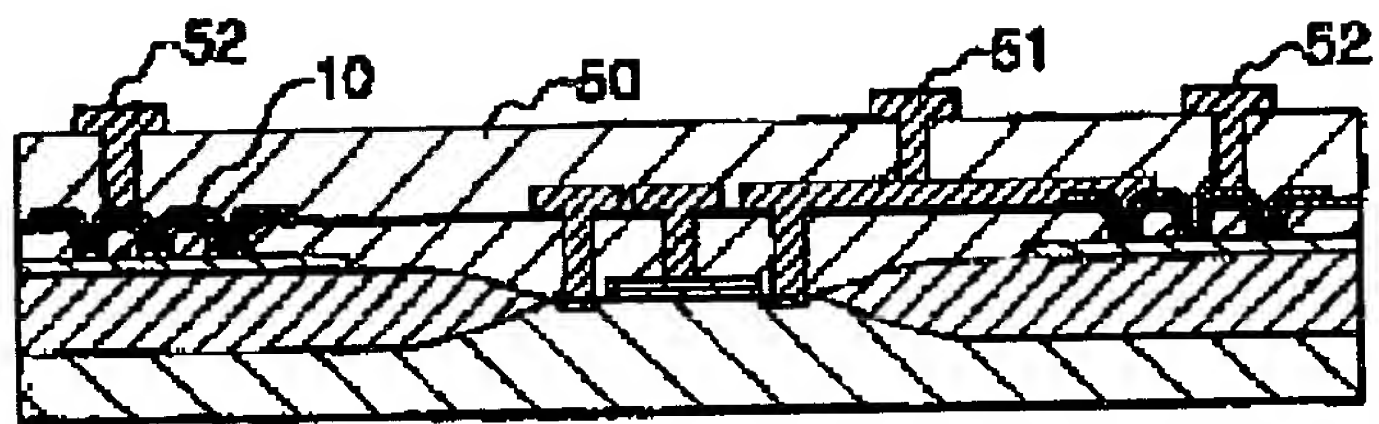
**(54) METHOD OF FORMING  
CAPACITORS IN  
SEMICONDUCTOR DEVICE**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a method of forming high-capacitance capacitors in an integrated circuit at a low cost.

**SOLUTION:** The method of forming capacitors 10 in a semiconductor device comprises steps of forming a first insulation layer on a wafer, forming a first mask having openings arranged on this insulation layer, etching a hole array in the first insulation layer through the openings of the first mask, forming a first electrode layer covering the first insulation layer and expanding in the holes, forming a dielectric layer expanding in the holes on the first electrode layer, forming a second electrode layer expanding in the holes on the dielectric layer, and forming a pattern of the capacitors 10, using a second mask.

COPYRIGHT: (C)1999,JPO



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-354720

(43)Date of publication of application : 24.12.1999

(51)Int.Cl.

H01L 27/04  
H01L 21/822

(21)Application number : 11-138247

(71)Applicant : MITEL CORP

(22)Date of filing : 19.05.1999

(72)Inventor : OUELLET LUC  
BLAIN STEPHANE

(30)Priority

Priority number : 98 9810797 Priority date : 20.05.1998 Priority country : GB

## (54) METHOD OF FORMING CAPACITORS IN SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of forming high-capacitance capacitors in an integrated circuit at a low cost.

SOLUTION: The method of forming capacitors 10 in a semiconductor device comprises steps of forming a first insulation layer on a wafer, forming a first mask having openings arranged on this insulation layer, etching a hole array in the first insulation layer through the openings of the first mask, forming a first electrode layer covering the first insulation layer and expanding in the holes, forming a dielectric layer expanding in the holes on the first electrode layer, forming a second electrode layer expanding in the holes on the dielectric layer, and forming a pattern of the capacitors 10, using a second mask.



## LEGAL STATUS

[Date of request for examination] 05.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The method of forming a capacitor in a semiconductor device by which it is characterized by providing the following. a) The stage which forms the 1st insulating layer on a wafer. b) The stage which forms the 1st mask equipped with opening arranged on the aforementioned insulating layer. c) The stage which lets the aforementioned opening in the 1st mask of the above pass, and \*\*\*\*\*s the array of the hole in the 1st insulating layer of the above. d) The stage which forms the 1st electrode layer which covered the 1st insulating layer of the above and has spread into the aforementioned hole, the stage which forms the dielectric layer which has spread into the aforementioned hole on the 1st electrode layer of e above, the stage which form the 2nd electrode layer which has spread into the aforementioned hole on the f aforementioned dielectric layer, and the stage which carry out pattern formation of the aforementioned capacitor using g the 2nd mask.

[Claim 2] the [ the above 1st and ] -- the method according to claim 1 characterized by an isolation layer depositing this 2nd electrode layer on the wrap aforementioned wafer in order to isolate the marginal part of 2 electrode layers

[Claim 3] The method according to claim 2 characterized by forming the aforementioned dielectric layer in the separate interior of a room.

[Claim 4] The method according to claim 3 that the aforementioned dielectric layer is characterized by being formed of furnace oxidization.

[Claim 5] The method according to claim 4 that the aforementioned dielectric layer is characterized by being formed of plasma oxidation.

[Claim 6] The method according to claim 4 characterized by forming the aforementioned dielectric layer of rapid thermal oxidation.

[Claim 7] A method given in either of a claim 4 to the claims 6 characterized by forming the first seed layer of the partial oxidation of the 2nd electrode of the above using the accumulated oxygen plasma.

[Claim 8] After formation of the aforementioned isolation layer, a hole \*\*\*\*\*s to an activity component through the 1st insulating layer of the above. In order to contact this activity component, the 1st metal layer is formed in the 1st insulating layer of the above. The 2nd insulating layer covers the aforementioned 1st metal layer, and is formed, and a beer hall \*\*\*\*\*s to the aforementioned 2nd electrode layer of the aforementioned capacitor through the 2nd insulating layer of the above. A method given in either of a claim 2 to the claims 6 characterized by forming the 2nd metal layer in order to contact the 2nd electrode of the above through the aforementioned beer hall.

[Claim 9] the [ the above 1st and ] -- the method according to claim 8 that 2 metal layers are characterized by carrying out pattern formation after deposition

[Claim 10] A method given in either of a claim 1 to the claims 9 characterized by the 1st insulating layer of the above being a synthetic layer.

[Claim 11] A method given in either of a claim 1 to the claims 9 to which the aforementioned synthetic layer is characterized by being SG/PSG/SOG.

[Claim 12] The method according to claim 11 that Above PSG is characterized by being inorganic SOG in which Above SOG includes Lynn of about 4% of heavy quantitative ratios, including Lynn of about 4% of heavy quantitative ratios.

[Claim 13] A method given in either of a claim 1 to the claims 12 to which the aforementioned 1st electrode layer is characterized by being a Ti/TiN composition layer.

[Claim 14] the aforementioned 2nd electrode layer is a TiN/Ti/TiN composition layer -- a method given in either of a claim 1 to the claims 13 characterized by things

[Claim 15] A method given in either of a claim 1 to the claims 14 to which the aforementioned dielectric layer is characterized by being titanium oxide.

[Claim 16] A method given in either of a claim 1 to the claims 14 to which the aforementioned dielectric layer is characterized by being a silicon nitride.

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention mainly relates to the method of forming a mass capacitor in a semiconductor device in detail about semiconductor manufacture.

[0002]

[Description of the Prior Art] In order to supply a high time constant in an RC circuit, it is desirable to manufacture the component equipped with Resistance R and Capacitor C of the biggest possible value. According to the inclination to go to narrower line breadth, it is, still more difficult to maintain the electrostatic capacity of a big value. The reason is because electrostatic capacity is proportional to the area of a plate and it is in inverse proportion to the clearance between plates.

[0003] The Europe patent No. 0,188,946 official report is indicating the method of forming the capacitor which sandwiches structure has deposited on the slot with a depth of about 5micro formed in the substrate. although this technology can increase electrostatic capacity as compared with the conventional horizontal capacitor, it is one of these, for example, cannot supply sufficient electrostatic capacity to the newest device using 0.8micro technology. Furthermore, it is not helpful to take in the method indicated by this patent with sufficient convenience to a standard manufacturing process.

[0004] The British patent application 9801322.No. 0 specification under simultaneous connection has indicated how to form a capacitor in the integrated circuit which has spread in the hole where the sandwiches (conformal) structure of \*\*\*\* was formed in the insulating layer. In desirable structure, the TiN electrode which has TiO<sub>2</sub> dielectric layer is used. In this processing, it was assumed that TiO<sub>2</sub> dielectric layer is formed at the same room as an electrode layer. It mainly originates in the facilities carried out using the same metal, and the high dielectric constant of TiO<sub>2</sub>, and the aforementioned structure has the very desirable property. The TiO two-layer manufacture in the room same on the other hand is accompanied by a certain actual difficulty resulting from the difficulty which treats oxygen within a cryopump. If sufficient precaution is not taken, there is danger of explosion.

[0005] Furthermore, in order to maintain a manufacturing cost within economical limits, it is important to restrict the number of the additional masking stages needed for manufacturing a device. each special masking stage -- complexity - - and thereby, a manufacturing cost is increased

[0006]

[Problem(s) to be Solved by the Invention] The purpose of this invention is offering the method of being a low cost and forming a mass capacitor in an integrated circuit.

[0007]

[Means for Solving the Problem] The stage which supplies the 1st insulating layer according to this invention, and the stage which supplies the array of opening on the aforementioned insulating layer to the 1st mask, The stage which forms the 1st electrode layer which let the aforementioned opening in the 1st mask of the above pass, covered the stage and the 1st insulating layer of the above which \*\*\*\*\* the array of the hole in the 1st insulating layer of the above, and has spread into the aforementioned hole, The stage which forms the dielectric layer which has spread into the aforementioned hole on the aforementioned 1st electrode layer, The semiconductor formation method of providing the stage of the method of forming a capacitor in a semiconductor device of the stage which forms the 2nd electrode layer which has spread into the aforementioned hole on the aforementioned dielectric layer, and the stage which carries out pattern formation of the aforementioned capacitor using the 2nd mask is offered.

[0008] This sequence enables the addition of only two masking stages to perform perfect manufacture operation including connection with other components on wafers, such as a transistor. Maintaining the number of masking stages at the minimum can be seen from a viewpoint of cost, and it can prepare importantly the difference between the processing in which execution on commerce is possible, and the processing which cannot be performed.

[0009] The dielectric layer is formed by a method of forming a dielectric layer on the electrode layer and then forming a dielectric layer on the dielectric layer.

4% of Lynn by the weight ratio. As for a spin-on-glass, it is desirable that it is the organic spin-on-glass which contains about 4% of Lynn by the weight ratio.

[0012] You may be a synthetic layer (composite layer) like TiN/Ti/TiN or Ti/TiN in itself [aforementioned / electrode layer]. In order to contact the polysilicon contest contact layer and fitness which exist downward, as for a lower layer, consisting of a Ti/TiN composition layer is desirable. Generally, an up layer is more as thick as about 2000A, and it is desirable that it is the form of TiN/Ti/TiN sandwiches structure. Ti can usually be set to tensile stress, and TiN can usually be set to compressive stress, and thereby, this sandwiches structure is constituted so that the stress in an electrode may be reduced.

[0013] Then, about integrated-circuit structure, you may form by the conventional method.

[0014] Although you may be titanium oxide with sufficient convenience, about other dielectric layers like a silicon nitride (Si<sub>3</sub>N<sub>4</sub>), the aforementioned dielectric layer is independent or may be used in collaboration with a titanium-dioxide layer. For example, you may make it deposit by PECVD (plasma enhanced chemical vapor deposition) about the aforementioned silicon-nitride layer.

[0015]

[Embodiments of the Invention] Below, this invention is explained more only through the example which referred to the accompanying drawing at a detail. Drawing 1 is the rough cross section of a semiconductor device with which the capacitor was formed upwards. Drawing 2 is some plans of the wafer which has the capacitor formed upwards.

Drawing 3 - drawing 7 illustrate the various processing stages where it participated in manufacture of the capacitor by this invention. Drawing 8 shows other operation gestalten.

[0016] In drawing 1, the silicon substrate 1 has various (not shown) components, such as a transistor formed in the interior of the well-known pretreatment stage in the conventional technology. Pattern formation is carried out in order for the layer of contest 2 polysilicon to deposit on the surface of a wafer first in order to supply the mass capacitor 10 in a device, and to offer the contact for the pars-basilaris-ossis-occipitalis electrodes for capacitor 10.

[0017] Next, the synthetic layer 3 is deposited on the aforementioned polysilicon contest layer 2 by the conventional means. This insulating layer 3 usually consists of the lower layer of silicate glass (silicate glass), an interlayer of the silicate glass (weight ratio 4% of Lynn content) which doped Lynn, and an up layer of an inorganic spin-on-glass (also this, a weight ratio 4% of Lynn content). Formation of such an insulating layer is the conventional thing, and is well known by this contractor. The layer 3 usually has the criteria thickness of 0.8micro by the total.

[0018] After [the 1st] using a mask (not shown) specially, the array of a series of holes 5 \*\*\*\*\*s to an insulating layer 3. Each array forms a capacitor in the method to be explained from now on. Although this mask is usually needed in the conventional integrated-circuit processing, since it needs the masking stage in the upper part, it is specially called a mask.

[0019] At the sputtering room under existence of inert gas like an argon, sputtering of the lower electrode 7 is first carried out on an insulating layer 3 by carrying out isotropic (isotropic) sputter etching etched or concentrated, after making a corner 6 slanting. The lower electrode layer 7 consists of a titanium-nitride layer following a titanium layer and it. In order to contact electrically the polysilicon contest layer 2 which exists downward good, it is desirable that a lower sublayer is Ti. It can be made to deposit about the aforementioned titanium-nitride layer by changing the inert gas of the sputtering interior of a room to nitrogen.

[0020] Next, a wafer is moved to a different system and the titanium oxide (TiO<sub>2</sub>) layer 8 is formed on a titanium-nitride layer in this system by thermal oxidation usually performed within about 30 minutes at 400-500 degrees C (or plasma oxidation performed for about 2 minutes at 200 degrees C). Or about an oxide layer, it can form by rapid thermal oxidation performed in about 1 minute at about 700 degrees C again. This oxide layer usually has the thickness of 50-1000A.

[0021] As a preliminary stage, the titanium which separated can be oxidized in the place of original in a metalization tool. In this case, a wafer is sent to the 2nd locus and, as for a wafer, oxygen is placed for about 1 minute into 1% of argon plasma in these 2nd locus. A seed oxide layer is made by this from the titanium which separated, and, thereby, subsequent oxidization is strengthened.

[0022] Finally, the aforementioned wafer is returned to a sputtering room, and TiN or the up electrode layer 9 which consists of TiN Ti/TiN sandwiches structure preferably deposits it. Besides, the member 9 has the thickness of about 0.01-0.1micro.

[0023] Since a dielectric layer 8 is deposited within one independent system, although it does not have the dielectric characteristics which were excellent about two TiO, for example, other suitable dielectrics like a silicon nitride (Si<sub>3</sub>N<sub>4</sub>) can also be used. Otherwise, it is possible to use the combination of TiO<sub>2</sub> and Si<sub>3</sub>N<sub>4</sub>.

[0024] Drawing 3 shows the wafer before formation of a capacitor 10. This device has the transistor 25 equipped with the field oxide layer 20, and the source 21, the drain 22, the oxide gate (gate oxide) 23 and the gate 24 in a silicon substrate 1. This gate 24 is a polysilicon contest layer deposited with contact 2 as a common layer, next pattern



dielectric 3, in order to arrive at the source, drain, and gate field of a transistor 25. This stage is the conventional thing. Then, the metal interconnection layer 41 (aluminium alloy which usually gave TiN acid-resisting coating) is formed on the isolation layer 30. This interconnection layer 41 (M1 layer) has spread in the hole 40, in order to bring about contact to the source 21 of a transistor 25, a drain 22, and the gate 24. The contact to the electrode of a capacitor is not brought about yet. Since it originates in the fact that the reason has the oxide layer 3 at least 10 times as thick as the oxide layer on a capacitor 10 on a transistor 25 and too much etching arises, etching of the contact hole 40 is for causing penetration of the up electrode layer 9 of a capacitor, and perfect etching, and bringing about the result of local destruction of a capacitor.

[0029] After carrying out pattern formation of the layer 41 (M1 layer), it is formed as the further insulating layer 50 is shown in drawing 7. This layer consists of the conventional ID1/SOG/ID two-layer, and ID expresses the dielectric between layers (interlayer dielectric) here. ID is usually SRSG (silicon rich silicon glass), and SOG in this case is a half-organic spin-on-glass (semi-organic).

[0030] After forming an insulating layer 50, it \*\*\*\*\*s in the up electrode 9 and layer 41 with desirable forming a mask (not shown) and a beer hall (via hole) 51 bringing about interconnection through the aforementioned layer 50 which isolate a capacitor 10. This is a standard procedure. Then, the 2nd aluminum interconnection layer 52 (M two-layer) is formed on a layer 51. This M two-layer is formed in processing of the conventional integrated circuit, in order to make it connect with M1 layer, and in the case of a parenthesis, in order to make it connect with the up electrode 9 of a capacitor, it is added and formed. Then, pattern formation of this layer 52 is carried out by the conventional method.

[0031] Since it is far thicker than the up electrode layer 9 and M1 layer 41 generally reaches the interconnection layer 41 before a beer hall 51 reaches the thinner electrode layer 9, there is no danger of too much etching. Etching can be terminated shortly after a hole reaches the electrode layer 9. Therefore, there is no danger of too much etching which causes destruction of a capacitor, and connection with the both sides of the electrode layer 9 and the interconnection layer 41 becomes certain further.

[0032] The conventional capacitor 60 is formed and drawing 8 is connected in parallel, before showing other operation forms and constituting the \*\*\*\* capacitor (conformal capacitors) 10 in this case. In the conventional integrated-circuit technology, a capacitor 60 is formed by supplying the additional multiplex layer 61 to the bottom of the multiplex layer (poly layer) 2 the 1st. A dielectric layer 62 is formed between these two multiplex layers 2 and 61. According to this invention, the additional capacitor 10 can be formed in the upper part of the conventional capacitor in the method mentioned above. Capacitors 10 and 60 are connected in parallel and the synthetic capacitor which has electrostatic capacity equal to the sum total of each two capacitors by this is made.

[0033] Drawing 2 is some plans of the wafer in which the capacitor 10 which consists of an array of a hole 5 is shown. The connection with the lower multiplex layer 2 is based on connection 2'. Usually, a hole has the diameter of about 1micro, and is estranged about 1micro mutually.

[0034] The above-mentioned method enables it to form a capacitor mass by the economical method by the addition of only two masking stages. the 1st for the only special masking stage needed forming a hole 5 -- the 2nd for forming a mask and a capacitor specially -- it is with a mask specially Although a special deposition stage is needed in order to form a capacitor, the remaining connection is made using a standard processing stage. Especially this method is suitable for using 0.8micro and the line breadth not more than it. Furthermore, these capacitors have the metal electrode and, thereby, the voltage coefficient (voltage coefficient) which was very excellent is brought about.



(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 27/04  
21/822

H 0 1 L 27/04

C

審査請求 未請求 請求項の数17 O L (全 6 頁)

(21) 出願番号 特願平11-138247

(22) 出願日 平成11年(1999) 5 月19日

(31) 優先権主張番号 9 8 1 0 7 9 7 . 2

(32) 優先日 1998年 5 月20日

(33) 優先権主張国 イギリス (G B)

(71) 出願人 597092370

ミテル・コーポレーション

カナダ・オンタリオ・K 2 K・1 X 3・カ  
ナタ・ビーオー・ボックス・13089・レギ  
ット・ドライブ・350

(72) 発明者 リュック・ウイエ

カナダ・J 2 H・1 X 5・ケベック・グラ  
ンビー・リュ・デ・プリュピエール・21

(72) 発明者 ステファン・ブラン

カナダ・J 1 K・1 N 6・ケベック・シャ  
ーブルック・テトロール・ストリート・  
1400

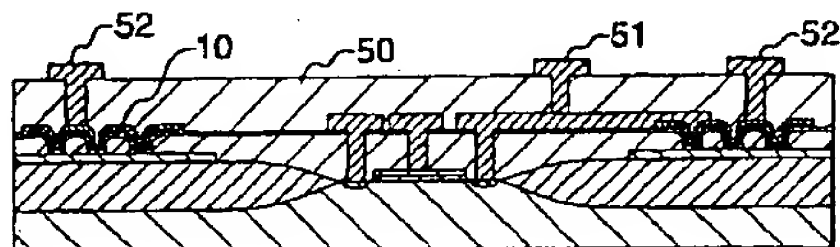
(74) 代理人 弁理士 志賀 正武 (外 9 名)

(54) 【発明の名称】 半導体デバイス内にコンデンサを形成する方法

(57) 【要約】

【課題】 集積回路内に低コストでかつ大容量のコンデンサを形成する方法を提供する。

【解決手段】 本発明の半導体デバイス内にコンデンサを形成する方法は、a) ウェーハ上に第1絶縁層を形成する段階と、b) 前記絶縁層上に配列される開口部を備えた第1マスクを形成する段階と、c) 前記第1マスクにおける前記開口部を通して、前記第1絶縁層内のホールの配列をエッチングする段階と、d) 前記第1絶縁層を覆って、前記ホール内へ広がっている第1電極層を形成する段階と、e) 前記第1電極層上の前記ホール内へ広がっている誘電体層を形成する段階と、f) 前記誘電体層上の前記ホール内へ広がっている第2電極層を形成する段階と、g) 第2マスクを用いて前記コンデンサ10をパターン形成する段階とを具備する。



## 【特許請求の範囲】

【請求項1】 半導体デバイス内にコンデンサを形成する方法であって、

- a) ウェーハ上に第1絶縁層を形成する段階と、
- b) 前記絶縁層上に配列される開口部を備えた第1マスクを形成する段階と、
- c) 前記第1マスクにおける前記開口部を通して、前記第1絶縁層内のホールをエッチングする段階と、
- d) 前記第1絶縁層を覆って、前記ホール内へ広がっている第1電極層を形成する段階と、
- e) 前記第1電極層上の前記ホール内へ広がっている誘電体層を形成する段階と、
- f) 前記誘電体層上の前記ホール内へ広がっている第2電極層を形成する段階と、
- g) 第2マスクを用いて前記コンデンサをパターン形成する段階とを具備する方法。

【請求項2】 前記第1および第2電極層の縁部を隔離するために、該第2電極層を覆う前記ウェーハ上に隔離層が堆積することを特徴とする請求項1に記載の方法。

【請求項3】 前記誘電体層が、別々の室内に形成されることを特徴とする請求項2に記載の方法。

【請求項4】 前記誘電体層が、炉酸化により形成されることを特徴とする請求項3に記載の方法。

【請求項5】 前記誘電体層が、プラズマ酸化により形成されることを特徴とする請求項4に記載の方法。

【請求項6】 前記誘電体層が、急速な熱酸化により形成されることを特徴とする請求項4に記載の方法。

【請求項7】 最初のシード層が、集積された酸素プラズマを用いた前記第2電極の部分酸化により形成されることを特徴とする請求項4から請求項6のいずれかに記載の方法。

【請求項8】 前記隔離層の形成後に、ホールが前記第1絶縁層を介して活性構成要素までエッチングされ、該活性構成要素を接触させるために第1金属層が前記第1絶縁層に形成され、第2絶縁層が前記第1金属層を覆って形成され、ビアホールが前記第2絶縁層を介して前記コンデンサの前記第2電極層までエッチングされ、前記ビアホールを介して前記第2電極を接触させるために第2金属層が形成されることを特徴とする請求項2から請求項6のいずれかに記載の方法。

【請求項9】 前記第1および第2金属層が、堆積後にパターン形成されることを特徴とする請求項8に記載の方法。

【請求項10】 前記第1絶縁層が合成層であることを特徴とする請求項1から請求項9のいずれかに記載の方法。

【請求項11】 前記合成層が、SG/PSG/SOGであることを特徴とする請求項1から請求項9のいずれかに記載の方法。

【請求項12】 前記PSGが重量比約4%のリンを含

み、かつ、前記SOGが重量比約4%のリンを含む無機的なSOGであることを特徴とする請求項11に記載の方法。

【請求項13】 前記第1電極層が、Ti/TiN合成層であることを特徴とする請求項1から請求項12のいずれかに記載の方法。

【請求項14】 前記第2電極層が、TiN/Ti/TiN合成層であることを特徴とする請求項1から請求項13のいずれかに記載の方法。

10 【請求項15】 前記誘電体層が、酸化チタンであることを特徴とする請求項1から請求項14のいずれかに記載の方法。

【請求項16】 前記誘電体層が、窒化シリコンであることを特徴とする請求項1から請求項14のいずれかに記載の方法。

【請求項17】 前記誘電体層が、酸化チタンの副層と窒化シリコンの副層とを具備する合成層であることを特徴とする請求項1から請求項14のいずれかに記載の方法。

20 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、主に、半導体製造に関し、詳細には、半導体デバイス内に大容量コンデンサを形成する方法に関する。

【0002】

【従来の技術】RC回路において高い時定数を供給するためには、可能な限り大きな値の抵抗RとコンデンサCとを備えた構成要素を製造することが望ましい。より狭い線幅に向かう傾向によって、大きな値の静電容量を維持することはますます困難になっている。その理由は、静電容量は、極板の面積に比例しかつ、極板間の離間距離に反比例するためである。

【0003】欧州特許第0,188,946号公報は、基板内に形成された約5μの深さの溝にサンドウィッチ構造が堆積されているコンデンサを形成する方法を開示している。この技術は従来の水平コンデンサと比較して静電容量を増大させることができるが、その一方で、例えば、0.8μの技術を用いる最新のデバイスに対して十分な静電容量を供給できない。さらに、この特許に記載されている方法は、標準の製造工程に都合よく取り入れたい場合には役に立たない。

【0004】同時係属中の英国特許出願第9801322.0号明細書は、等角の(conformal)サンドウィッチ構造が絶縁層に形成されたホール内に広がっている集積回路内にコンデンサを形成する方法について記載している。好ましい構造においては、TiO<sub>2</sub>誘電体層を有するTiN電極が用いられている。この処理においては、TiO<sub>2</sub>誘電体層が電極層と同じ室において形成されることが想定された。同じ金属を用いて実施する便利さとTiO<sub>2</sub>の高い誘電率とに主に起因して、前記構造

が非常に好ましい特性を有している。その一方で、同じ室における $TiO_2$ 層の製造は、クライオポンプ内で酸素を扱う難しさに起因したある実際上の困難を伴う。十分な予防措置がとられていなければ、爆発の危険性がある。

【0005】さらに、製造コストを経済的な範囲内に維持するためには、デバイスを製造するのに必要とされる追加のマスキング段階の数を制限することが重要である。各々の特別なマスキング段階は、複雑さを、かつこれにより、製造コストを増大させる。

【0006】

【発明が解決しようとする課題】本発明の目的は、集積回路内に低コストでかつ大容量のコンデンサを形成する方法を提供することである。

【0007】

【課題を解決するための手段】本発明によれば、第1絶縁層を供給する段階と、第1マスクに前記絶縁層上の開口部の配列を供給する段階と、前記第1マスクにおける前記開口部を通して、前記第1絶縁層内のホールの配列をエッチングする段階と前記第1絶縁層を覆って、前記ホール内へ広がっている第1電極層を形成する段階と、前記第1電極層上の前記ホール内へ広がっている誘電体層を形成する段階と、前記誘電体層上の前記ホール内へ広がっている第2電極層を形成する段階と、第2マスクを用いて前記コンデンサをパターン形成する段階という、半導体デバイス内にコンデンサを形成する方法の段階を具備する半導体形成方法が提供されている。

【0008】このシーケンスは、例えばトランジスタなどのようなウェーハ上の他の構成要素への接続を含む完全な製造動作が、2つのマスキング段階のみの追加によって実行されることを可能にする。マスキング段階の数を最小に保つことは、コストの観点から見て重要であり、かつ、商業上実行可能な処理と実行不可能な処理との違いを設けることができる。

【0009】誘電体層については、例えば、約700℃で1分以内で行う急速な熱酸化や、400～500℃で約30分間行う炉酸化(furnace oxidation)や、プラズマCVD(PECVD)(通常、200～450℃で約2分以内)を用いた酸化物層として、別々の室において都合よく形成することができる。さらに、集積された酸素プラズマ(integrated oxygen plasma)を用いることも可能であり、この場合には、ウェーハは金属化ツール(metallization tool)の第2の室内に置かれる酸素が約1%のアルゴンにさらされる。この段階については、上述した段階への予備的段階として実行することができる。約60秒間この方法で酸化することにより、酸化を促進するためのシード層(seed layer)として遊離したチタンを燃焼させることができる。クライオポンプに接続された真空室において酸化物層を形成する難しさについては、アルゴン中の酸素を著しく希釈することに

より避けることができる。あるいはまた、例えば電気化学的酸化のような化学的酸化を用いることもできる。

【0010】前記第1絶縁層は、前記第1電極層との接触をもたらすために、ポリシリコン層のような導電層上で形成されることが好ましい。

【0011】前記ホールが形成されている前記絶縁層は、通常は、SG/PSG/SOG(Silicate Glass/Phosphorus-doped Silicate Glass/Spin-on Glass)のサンドウィッチ構造である。PSGは、通常は、重量比で約4%のリンを含有している。スピナーオングラスは、重量比で約4%のリンを含有している有機的スピナーオングラスであることが好ましい。

【0012】前記電極層それ自体は、例えば、 $TiN/Ti/TiN$ または $Ti/TiN$ のような合成層(composite layer)であってもよい。下に存在するポリシリコン接触層と良好に接触するために、下部層は $Ti/TiN$ 合成層からなっていることが好ましい。上部層は、一般に、約2000オングストロームとより厚く、かつ、 $TiN/Ti/TiN$ サンドウィッチ構造の形式であることが好ましい。 $Ti$ は、通常は引張応力におけるものであり $TiN$ は、通常は圧縮応力におけるものであり、これにより、このサンドウィッチ構造は、電極における応力を低減するように構成されている。

【0013】続いて、集積回路構造については、従来の方法で形成してもよい。

【0014】前記誘電層は、都合よく酸化チタンであってもよいが、窒化シリコン( $Si_3N_4$ )のような他の誘電層については、単独で、または二酸化チタン層と共同で用いてもよい。前記窒化シリコン層については、例えば、PECVD(plasma enhanced chemical vapor deposition)により堆積させてもよい。

【0015】

【発明の実施の形態】以下に、添付図面を参照した例のみを介して、本発明についてより詳細に説明する。図1は、コンデンサが上に形成された半導体デバイスの概略的な断面図である。図2は、上に形成されたコンデンサを有するウェーハの一部の平面図である。図3～図7は、本発明によるコンデンサの製造に関与した種々の処理段階を例示する。図8は、他の実施形態を示す。

【0016】図1において、シリコン基板1は、従来技術において公知の前処理段階により、内部に形成されたトランジスタなど(図示せず)のような種々の構成要素を有している。デバイス内に大容量のコンデンサ10を供給するために、ポリシリコン2の層が、最初にウェーハの表面に堆積され、かつ、コンデンサ10用の底部電極用のコンタクトを提供するためにパターン形成されている。

【0017】次に、合成層3は、従来の手段により前記ポリシリコン層2上に堆積される。この絶縁層3は、通常は、ケイ酸塩ガラス(silicate glass)の下部層と、

リンをドーパしたケイ酸塩ガラス（重量比4%のリンを含有）の中間層と、無機的なスピナーオングラス（これも、重量比4%のリンを含有）の上部層とからなる。このような絶縁層の形成は従来のものであり、かつ、当業者にはよく知られている。層3は、通常は、総計で0.8 $\mu$ mの基準厚さを有している。

【0018】第1の特別マスク（図示せず）を用いた後に、一連のホール5の配列が、絶縁層3にエッチングされる。各々の配列は、これから説明する方法においてコンデンサを形成する。このマスクは、従来の集積回路処理の場合に通常必要とされるものの上部におけるマスキング段階を必要とするので、特別マスクと称される。

【0019】角部6を斜めにした後に、例えば、等方性の（isotropic）エッチングまたは集中したスパッタエッチングを実施することにより、下部電極7は、最初アルゴンのような不活性ガスの存在下のスパッタリング室において、絶縁層3上にスパッタリングされる。下部電極層7は、チタン層とそれに続く窒化チタン層とからなっている。下に存在するポリシリコン層2と良好に電氣的に接触するためには、下部の副層がTiであることが好ましい。前記窒化チタン層については、スパッタリング室内の不活性ガスを窒素に変化させることにより堆積させることができる。

【0020】次に、ウェーハは、異なったシステムへ移動させられ、このシステムにおいては、通常は400～500℃で約30分以内で行う熱酸化により（または200℃で約2分間行われるプラズマ酸化により）窒化チタン層上に酸化チタン（TiO<sub>2</sub>）層8が形成される。あるいはまた、酸化層については、約700℃で約1分間で行う急速な熱酸化により形成することができる。この酸化層は、通常は、50～1000オングストロームの厚さを有している。

【0021】予備的段階として、遊離したチタンを、金属化ツール内の本来の場所で酸化することができる。その場合には、ウェーハは第2の室へ送られ、この第2の室において、ウェーハは酸素が1%のアルゴンプラズマ中に約1分間置かれる。これにより、遊離したチタンからシード酸化層が作り出され、これにより、その後の酸化が強められる。

【0022】最後に、前記ウェーハは、スパッタリング室へ戻され、かつ、TiNまたは好ましくはTiN/Ti/TiNサンドウィッチ構造からなる上部電極層9が堆積される。この上部層9は、約0.01～0.1 $\mu$ mの厚さを有している。

【0023】誘電体層8は1つの独立したシステム内で堆積されるので、例えば、TiO<sub>2</sub>ほど優れた誘電特性を有してはいないが、窒化シリコン（Si<sub>3</sub>N<sub>4</sub>）のような他の適切な誘電体を用いることもできる。他に、TiO<sub>2</sub>とSi<sub>3</sub>N<sub>4</sub>の組合せを用いることも可能である。

【0024】図3は、コンデンサ10の形成前のウェー

ハを示している。このデバイスは、シリコン基板1内のフィールド酸化層20と、ソース21とドレイン22と酸化ゲート（gate oxide）23とゲート24とを備えたトランジスタ25とを有している。このゲート24は、共通層として接触子2とともに堆積されているポリシリコン層であり、次に、前記共通層は、底部電極接触子2とゲート電極24とを構成するようにパターン形成される。

【0025】次に、SG/PSG/SOG層3は、図4に示されるように堆積され、かつ、コンデンサ10は、図1を参照して説明されたように形成される。

【0026】コンデンサ10の形成後に、コンデンサ層7、8、9は無論ウェーハ全体に拡がっている。次の段階は、個々のコンデンサをパターン形成することである。この段階は、通常に用いられるマスクの上部における追加のマスクを必要とするので、これは第2の特別マスキング段階と考えられている。従来のマスクを用いることもできる。

【0027】いったん形成されると、コンデンサ10がパターン形成され、隔離酸化層（isolation oxide layer）30がウェーハ全体に形成されて、図4に示されるような構成となる。この隔離酸化層は、PECVDにより形成されて、個々のコンデンサ10を隔離する。この隔離層は、その後の相互接続層41が形成されるときに、コンデンサ10の層7、8、9の縁部10'が短絡から保護されることを確実にするために必要である。

【0028】次の段階は、トランジスタ25のソース、ドレイン、およびゲート領域に到達するために、前記隔離層30をマスキングし、かつ、誘電体3を介してホール40をエッチングすることである。この段階は従来のものである。続いて、金属相互接続層41（通常は、TiN反射防止コーティングを施したアルミニウム合金）は、隔離層30上に形成される。この相互接続層41（M<sub>1</sub>層）は、トランジスタ25のソース21、ドレイン22、およびゲート24との接触をもたらすために、ホール40内に拡がっている。コンデンサの電極への接触は、まだもたらされていない。その理由は、トランジスタ25上の酸化層3が、コンデンサ10上の酸化層より少なくとも10倍厚いという事実起因して過度のエッチングが生じるので、接触子ホール40のエッチングが、コンデンサの上部電極層9の貫通と完全なエッチングとを引き起こし、コンデンサの局部的破壊という結果をもたらすためである。

【0029】層41（M<sub>1</sub>層）をパターン形成した後に、さらなる絶縁層50が図7に示されるように形成される。この層は、従来のID<sub>1</sub>/SOG/ID<sub>2</sub>層からなっており、ここで、IDは層間誘電体（interlayer dielectric）を表している。IDは、通常は、SRSG（silicon rich silicon glass）であり、かつ、この場合のSOGは、半有機的な（semi-organic）スピナーオン

ガラスである。

【0030】絶縁層50を形成した後に、マスク（図示せず）が形成され、かつ、ビアホール（via hole）51が、前記層50を介して、相互接続をもたらすことが望ましい、コンデンサ10を隔離する上部電極9と層41とにまでエッチングされる。これは標準的な手順である。続いて、第2アルミニウム相互接続層52（M<sub>2</sub>層）が層51上に形成される。このM<sub>2</sub>層は、M<sub>1</sub>層へ接続させるために、従来の集積回路の処理において形成され、かつこの場合に、コンデンサの上部電極9と接続させるために追加して形成される。続いて、この層52は、従来の方法でパターン形成される。

【0031】M<sub>1</sub>層41は一般に上部電極層9よりもはるかに厚いため、ビアホール51はより薄い電極層9に到達する前に相互接続層41に到達するので、過度のエッチングの危険性はない。ホールが電極層9に到達するとすぐにエッチングを終了させることができる。したがって、コンデンサの破壊を引き起こす過度のエッチングの危険性はなく、さらに、電極層9および相互接続層41の双方との接続が確実となる。

【0032】図8は、他の実施形態を示しており、この場合には、等角コンデンサ（conformal capacitors）10を構成する前に従来のコンデンサ60が形成され、かつ、並列に接続されている。従来の集積回路技術においては、コンデンサ60は、第1に多重層（poly layer）2の下に追加の多重層61を供給することにより形成される。誘電体層62は、これら2つの多重層2、61の間に形成される。本発明によれば、上述した方法において追加のコンデンサ10を従来のコンデンサの上部に形成することができる。コンデンサ10、60は並列に接続され、これにより、2つの個々のコンデンサの合計に等しい静電容量を有する合成コンデンサが作られている。

【0033】図2は、ホール5の配列からなるコンデンサ10を示すウェーハの一部の平面図である。下部の多重層2への接続は、接続部2'によるものである。ホールは、通常は、約1μの直径を有し、かつ、互いに約1μ離間されている。

【0034】上記した方法により、2つのマスク段階のみの追加による経済的な方法で大容量のコンデンサを形成することが可能になる。必要とされる唯一の特別なマスク段階は、ホール5を形成するための第1特別マスクと、コンデンサを形成するための第2特別マスクとである。コンデンサを形成するためには、特別な堆

積段階が必要とされるが、残りの接続は標準の処理段階を用いてなされる。この方法は、特に、0.8μおよびそれ以下の線幅を使用するのに適している。さらに、これらのコンデンサは、金属製電極を有しており、これにより、非常に優れた電圧係数（voltage coefficient）がもたらされる。

【図面の簡単な説明】

【図1】 コンデンサが上に形成された半導体デバイスの概略的な断面図である。

10 【図2】 上に形成されたコンデンサを有するウェーハの一部の平面図である。

【図3】 本発明によるコンデンサの製造に関与した種々の処理段階を例示する図である。

【図4】 図3と同様の図である。

【図5】 図3と同様の図である。

【図6】 図3と同様の図である。

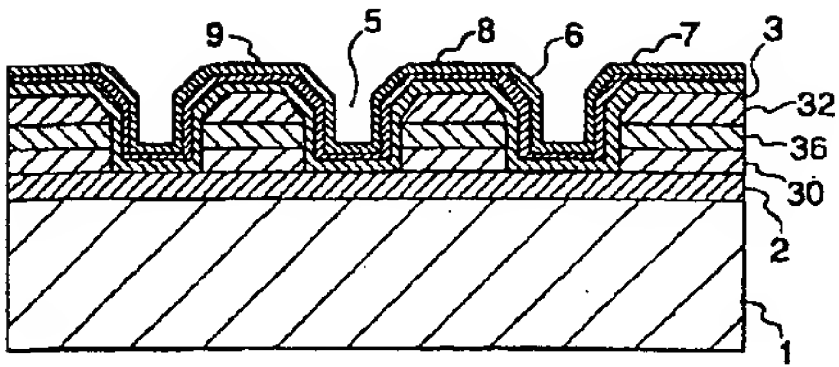
【図7】 図3と同様の図である。

【図8】 他の実施形態を示す図である。

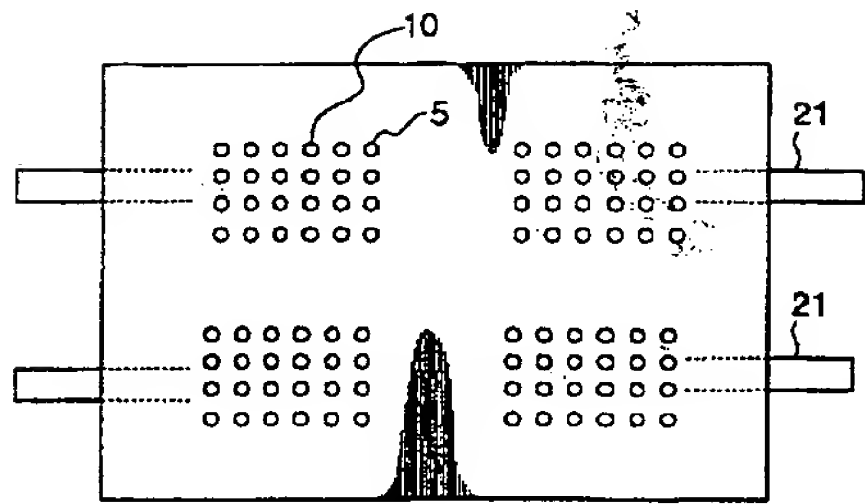
【符号の説明】

- 20 1 シリコン基板
- 2 ポリシリコン層
- 3 絶縁層
- 5 ホール
- 6 角部
- 7 下部電極層
- 8 酸化チタン（TiO<sub>2</sub>）層
- 9 上部電極層
- 10 コンデンサ
- 10' 縁部
- 30 20 フィールド酸化物層
- 21 ソース
- 22 ドレイン
- 23 酸化物ゲート
- 24 ゲート
- 25 トランジスタ
- 30 隔離酸化物層
- 40 エッチングホール
- 41 相互接続層（M<sub>1</sub>層）
- 50 絶縁層
- 40 51 ビアホール
- 52 相互接続層（M<sub>2</sub>層）
- 60 コンデンサ
- 61 多重層
- 62 誘電体層

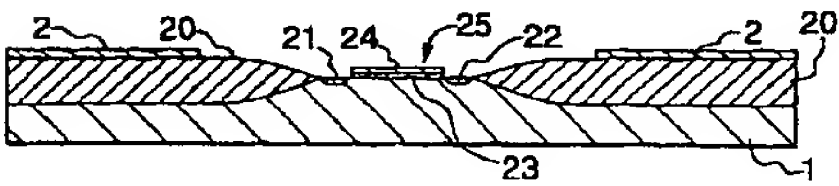
【図1】



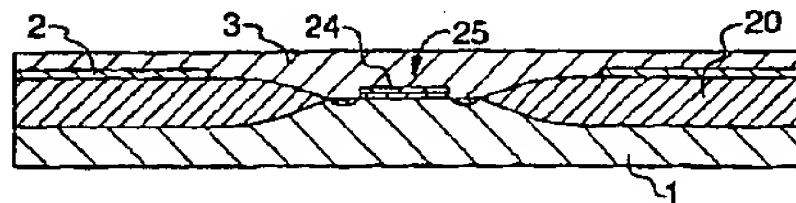
【図2】



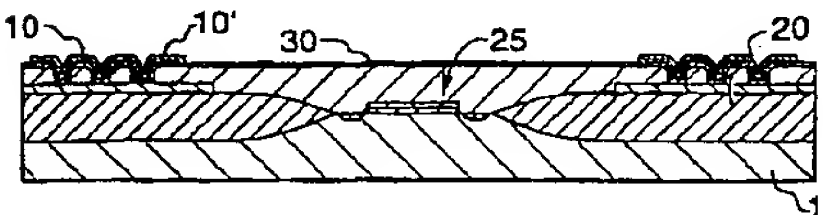
【図3】



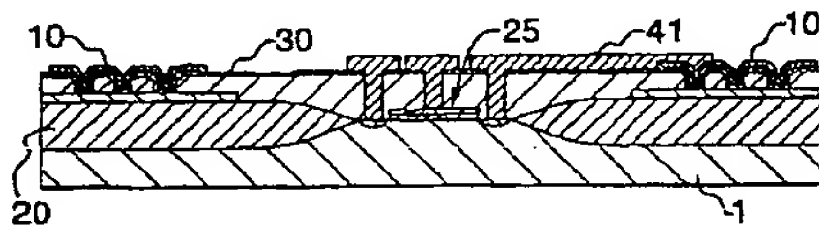
【図4】



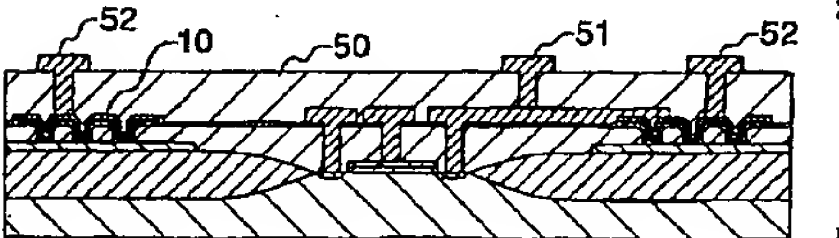
【図5】



【図6】



【図7】



【図8】

